

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

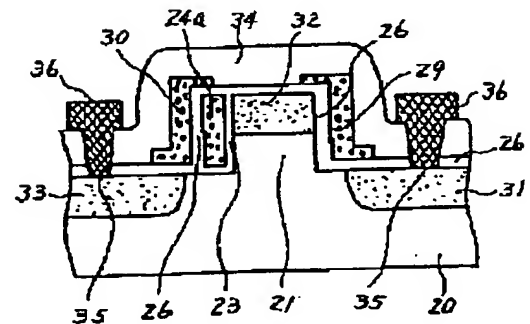
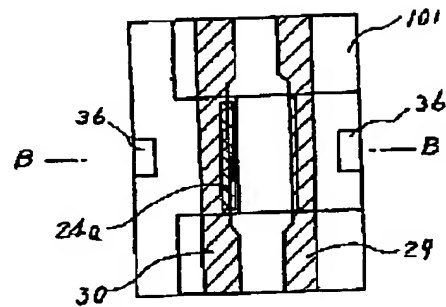
PUBLICATION NUMBER : 05251711
PUBLICATION DATE : 28-09-93
APPLICATION DATE : 04-10-91
APPLICATION NUMBER : 03257330

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : KOBAYASHI TAKASUMI;

INT.CL. : H01L 29/788 H01L 29/792 H01L 27/108

TITLE : SEMICONDUCTOR INTEGRATED
CIRCUIT AND ITS MANUFACTURE



ABSTRACT : PURPOSE: To contrive to reduce a cell area by mounting a floating gate, control gate and select gate into a longitudinal arrangement.

CONSTITUTION: A protruding part is formed on the silicon surface of a semiconductor integrated circuit (memory cell) and a floating gate 24a, control gate 30 and select gate 29 are formed into a longitudinal arrangement on the side face of the protruding part 21.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-251711

(43) 公開日 平成5年(1993)9月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/108				
		8728-4M		
			H 0 1 L 29/78	3 7 1
			27/10	3 2 5 E
			審査請求 未請求 請求項の数3(全 6 頁)	

(21) 出願番号 特願平3-257330

(22) 出願日 平成3年(1991)10月4日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小林 隆澄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

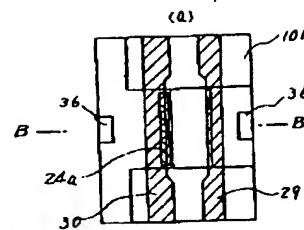
(74) 代理人 弁理士 清水 守 (外3名)

(54) 【発明の名称】 半導体集積回路及びその製造方法

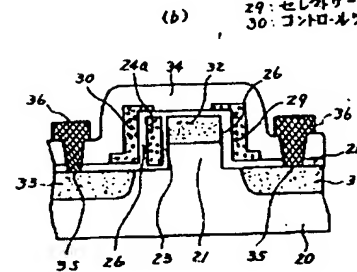
(57) 【要約】

【目的】 フローティングゲート、コントロールゲートとセレクトゲートを縦型に配置することによりセル面積を縮小化を図る。

【構成】 半導体集積回路（メモリセル）のシリコン面に突起部を形成し、その突起部21の側面22にフローティングゲート24a、コントロールゲート30及びセレクトゲート29を形成し、縦型の配置とする。



21: 突起部
23: 第1の酸化膜
24a: フローティングゲート
26: 第2の酸化膜
29: セレクトゲート
30: コントロールゲート



【特許請求の範囲】

【請求項1】 (a) シリコン基板の突起部に形成される拡散層と、

(b) 該拡散層の一方の側面の縦方向に第1の酸化膜を介して形成されるフローティングゲートと、

(c) 該フローティングゲートの側面及び前記拡散層の他方の側面にそれぞれ第2の酸化膜を介して縦方向に形成されるコントロールゲート及びセレクトゲートと、

(d) 該コントロールゲート及びセレクトゲートの下方にそれぞれ形成される拡散層とを具備することを特徴とする半導体集積回路。

【請求項2】 (a) シリコン基板をエッチングして突起部を形成する工程と、

(b) 前記シリコン基板の表面を酸化する工程と、

(c) 導電性を有する第1の多結晶シリコン膜を形成する工程と、

(d) 前記多結晶シリコン膜を異方性のドライエッチングでエッチングし、前記突起部の両側面に付いた多結晶シリコンを残して、それ以外を除去する工程と、

(e) 該残された突起部の両側面に付いた多結晶シリコンの一方の多結晶シリコンをエッチング除去する工程と、

(f) 前記多結晶シリコン表面及びシリコン基板表面を酸化する工程と、

(g) 第2の多結晶シリコンを被着する工程と、

(h) 前記第2の多結晶シリコンを前記突起部の両側面を残してホトリソエッチング工程により除去する工程とを順に施すことを特徴とする半導体集積回路の製造方法。

【請求項3】 前記第1の多結晶シリコン膜によりフローティングゲートを、前記第2の多結晶シリコンによりコントロールゲート及びセレクトゲートを形成する請求項2記載の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に係り、特に電氣的に書き換えが可能な不揮発性メモリセル(EEPROM: Electrically Erasable Programmable ROM)の構造及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、以下に示すようなものがあった。かかる従来のこの種のメモリセルの一例を図4に示す。図4(a)はこのメモリセルの平面図、図4(b)は図4(a)のA-A線断面図である。

【0003】 以下、N-チャネルMOSトランジスタを用いた場合について従来の製造方法を説明する。まず、P型シリコン基板1の上に素子分離のための厚い酸化膜13を通常の素子分離法で形成した後、活性領域のシリ

コン基板表面に比較的薄い酸化膜(50~120Å程度)3を形成する。

【0004】 次に、多結晶シリコン5をCVD法で被着し導電性を持たせるためにN型不純物を拡散した後、通常のホトリソエッチング技術により所望の形状に加工する。次に、熱酸化法により多結晶シリコン5表面に酸化膜7を形成する。この時、露出しているシリコン基板表面にも同時に酸化膜4が形成される。次に、多結晶シリコンを全面に被着し、導電性を持たせた後、ホトリソエッチング技術により加工してコントロールゲート8とセレクトゲート6を形成する。

【0005】 次に、イオン注入法によりN型不純物を注入し、熱処理を行なうことにより、活性化させ、S1基板とは逆の導電性を持つ拡散層2を形成する。この時の熱処理によりシリコン基板表面には酸化膜9が形成される。次に、CVD法により絶縁膜10を形成し、ホトリソエッチングによりコンタクトホール11を開孔した後、アルミニウムをスパッタ法により被着・加工して引出し電極12を形成する。以上のような工程で形成されたメモリセルは、次のような働きをする。P型シリコン基板1と薄い酸化膜3を介して接触する多結晶シリコン5は、浮遊電極(フローティングゲート)として働き、酸化膜7を介して、上部のコントロールゲート8と容量結合している。このコントロールゲート8に高い電圧、例えば14V程度を印加し、フローティングゲート5の両側に位置する拡散層の間に電圧を印加すると、フローティングゲート5の下側のチャネル部で発生した電子のうち、高いエネルギーを持ったものは、コントロールゲート8の限界に引き寄せられ、一部は酸化膜3を通り抜けて、フローティングゲート5の中に蓄積される。

【0006】 また、フローティングゲート5からの電荷の引き抜きは、拡散層2に正の高電圧例えば、17V程度を印加することにより、ファウラーノルドハイムトンネリングにより行なわれる。また、セレクトゲート6は2層ポリシリコン構造のメモリセルのうちの1つを選択する働きを持つと同時に、このゲートに0Vを印加することによって、メモリセルのソース・ドレイン間をフローティングゲートに蓄積された電荷の状態にかかわらず、非導通状態にする働きを持っている。

【0007】

【発明が解決しようとする課題】 しかしながら、上記メモリセル構成では、コントロールゲート、セレクトゲートを同一平面内に形成するようにしているため、横方向の寸法は、コンタクトホール11の大きさ、コントロールゲートの長さ(ゲート長)、セレクトゲートの長さ(ゲート長)及びそれらの間の重ね合わせマージンの和で決まってしまう、それ以上の縮小が困難であるという欠点があった。

【0008】 本発明は、以上述べたセル面積を縮小できないという欠点を除去するために、フローティングゲ

ト、コントロールゲート及びセレクトゲートを縦型に配置してなる高密度の半導体集積回路及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、半導体集積回路において、シリコン基板の突起部に形成される拡散層と、該拡散層の一方の側面の縦方向に第1の酸化膜を介して形成されるフローティングゲートと、該フローティングゲートの側面及び前記拡散層の他方の側面にそれぞれ第2の酸化膜を介して縦方向に形成されるコントロールゲート及びセレクトゲートと、該コントロールゲート及びセレクトゲートの下方にそれぞれ形成される拡散層とを設けるようにしたものである。

【0010】また、半導体集積回路の製造方法において、シリコン基板をエッチングして突起部を形成する工程と、前記シリコン基板の表面を酸化する工程と、導電性を有する第1の多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を異方性のドライエッチングでエッチングし、前記突起部の両側面に付いた多結晶シリコンを残して、それ以外を除去する工程と、該残された突起部の両側面に付いた多結晶シリコンの一方の多結晶シリコンをエッチング除去する工程と、前記多結晶シリコン表面及びシリコン基板表面を酸化する工程と、第2の多結晶シリコンを被着する工程と、前記第2の多結晶シリコンを前記突起部の両側面を残してホトリソエッチング工程により除去する工程とを順に施すようにしたものである。

【0011】

【作用】本発明によれば、従来同一平面上に形成していたコントロールゲート及びセレクトゲートを、シリコン基板面に突起部を形成し、その突起部に拡散層を設け、その突起部の側面にコントロールゲート及びセレクトゲートを形成するようにしたので、横方向の面積はコントロールゲート及びセレクトゲートを形成するポリシリコンの厚さ分があれば良く、面積を大幅に小さくすることができる。

【0012】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の実施例を示す半導体集積回路（メモリセル）の構成図であり、図1(a)はその平面図、図1(b)は図1(a)のB-B線断面図である。図中、20はP型シリコン基板、21は突起部、23は第1の酸化膜であり、ゲート電極32とフローティングゲート（後述）との間に形成される。24aは第1層目の多結晶シリコン（フローティングゲート）、26は第2の酸化膜であり、フローティングゲート24aとコントロールゲート（後述）との間に形成される。29は第2層目の多結晶シリコンによって形成されるセレクトゲート、30は同じく第2層目の多結晶シリ

リコンによって形成されるコントロールゲート、31、33は拡散層、34は保護膜としての酸化膜、35はコンタクトホール、36はそのコンタクトホール35に設けられるメタル配線である。

【0013】このように、本発明の半導体装置においては、フローティングゲート24a、コントロールゲート30及びセレクトゲート29がシリコン面内に作られた突起部21の側面に形成される。そこで、P型シリコン20と第1の薄い酸化膜23を介して接触するフローティングゲート24aは第2の厚い酸化膜26を介して、側部のコントロールゲート30と容量結合している。該コントロールゲート30に高い電圧、例えば14V程度を印加し、フローティングゲート24aの両側に位置する拡散層32と33の間に電圧を印加すると、フローティングゲート24aの下部のチャネル部で発生した電子のうち、高いエネルギーを持ったものは、コントロールゲート30の限界に引き寄せられ、一部は第1の酸化膜23を突き抜けて、フローティングゲート24aの中に蓄積される。また、フローティングゲート24aからの電荷の引き抜きは、拡散層32に正の高電圧、例えば17V程度を印加することにより、ファウラーノルドハイムトンネリングにより行なわれる。また、セレクトゲート29は、2層ポリシリコン構造のメモリセルのうちの1つを選択する働きを持つと同時に、このゲートに0Vを印加することによって、メモリセルの拡散層（ソース・ドレイン）31、33間をフローティングゲート24aに蓄積された電荷の状態にかかわらず、非導通状態にすることができる。

【0014】次に、本発明の実施例を示す半導体集積回路（メモリセル）の製造工程を図2及び図3を参照しながら説明する。ここではP型シリコン基板を用いた場合を例にとりて行なうが、N型シリコンを用いた場合も不純物のタイプをNとPで入れ換えれば同じである。

(1) まず、図2(a)に示すように、P型シリコン基板20の表面に通常行なわれる素子分離方法（LOCOS法）により素子分離用の厚い酸化膜領域を形成する。次に、ホトレジストによりシリコン基板20表面の一部を覆い、残りの露出されたシリコン面をドライエッチング法でエッチングした後、ホトレジストを除去し、P型シリコン基板20に側面（シリコン段差）22を有する突起部21形成する。

【0015】(2) 次に、図2(b)に示すように、900℃の乾燥酸素雰囲気中で15分程度酸化することにより、S1表面に約85Åの薄いシリコン酸化膜23を形成し、次いで、CVD法により多結晶シリコン24を約4000Å生成する。この多結晶シリコンにはPOC1、拡散法によりリンを拡散し導電性を持たせる。

(3) 次に、図2(c)に示すように、シリコン基板20表面の多結晶シリコン24を異方性のエッチング、例えば、東京応化製OPM400Bを用いてRFパワー

90W, エッチングガス C_2ClF_6 15SCCM, SF_6 15SCCM, エッチング圧力220mTorrで約1.3分間エッチングを行ない、シリコン基板20面上の多結晶シリコン24を除去する。この条件でエッチングすると多結晶シリコン24は、縦方向のエッチング速度が横方向のエッチング速度と比べて極めて早い

ため、シリコン段差22の側面に形成された多結晶シリコン24aはそのままエッチングされずに残る。次に、ホトレジスト25をシリコン面上に塗布した後、シリコン段差の片側だけレジストが残るようなホトマスクを用いて露光し現像して、段差部に残る多結晶シリコン24aの片側を露出する。

【0016】(4)次に、通常のドライエッチング法(等方性エッチング)により、露出した多結晶シリコン24aを除去し、次に、ホトレジスト25を除去した後、図2(d)に示すように、乾燥酸素雰囲気中で950℃の温度で40分酸化し、約280Åの酸化膜26をシリコン基板20上に形成する。この時、多結晶シリコン24aも同時に酸化されるが、多結晶シリコンの酸化速度は、単結晶シリコンの酸化速度より早い

ため、厚い酸化膜が形成される。本実施例の場合は、約380Åの酸化膜が形成される。ここで、シリコン基板20の突起部21とセレクトゲート29との間の酸化膜26にかかる電界は6MV/cm以下となる必要があり、そのためには、その酸化膜26は約280Åを必要とする。この点、第2の酸化膜26はシリコン基板20の突起部21とフローティングゲート(多結晶シリコン)24a間の酸化膜(約85Å)よりは厚くなる。

【0017】(5)次に、図3(a)に示すように、シリコン基板20表面にCVD法により、多結晶シリコン27を約4000Å形成し、POCl₃を拡散源として用いた熱拡散により不純物を添加して導電性を持たせる。

(6)次に、図3(b)に示すように、通常のホトリソ技術によりホトレジスト層28を形成する。そのホトレジスト層28は突起部21の側面22をカバーし、かつ、図1(a)に101で示す厚い酸化膜上でも配線パターンを形成できるようにしておく。

【0018】(7)次に、第1の多結晶シリコン24をエッチングした時と同じ条件で、第2の多結晶シリコン27をエッチングし、図3(c)に示すように、配線層(セレクトゲート)29及び配線層(コントロールゲート)30を形成する。次に、イオン注入法によりN型不純物、例えばAsを1E16/cm²程度注入し、950℃の乾燥酸素中でアニールし、拡散層31、32、33を形成する。なお、拡散層は、前記図2(a)や図2(d)工程において、マスクをしてイオン注入により、そ

の拡散層の領域を拡散層31、32、33より拡げて、例えば、フローティングゲートの下方にまで及ぶようにしてもよい。

【0019】(8)次に、図3(d)に示すように、CVD法で酸化膜34を形成する。

(9)次いで、図1に示されるように、酸化膜34に電極引出し用コンタクトホール35を形成し、そこに金属配線36を形成する。なお、フローティングゲート、コントロールゲートやセレクトゲートの長さは、シリコンの突起部の高さを高くすることにより、適宜長くすることができる。

【0020】また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0021】

【発明の効果】以上、詳細に説明したように、本発明によれば、従来同一平面上に形成していたフローティングゲート、コントロールゲート及びセレクトゲートを、シリコン面に突起部を形成し、その突起部の側面にコントロールゲート及びセレクトゲートを形成するようにしたので、横方向の面積はコントロールゲート及びセレクトゲートを形成するポリシリコンの厚さ分があれば良く、面積を大幅に小さくすることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体装置の構成図である。

【図2】本発明の実施例を示す半導体装置の前半の製造工程断面図である。

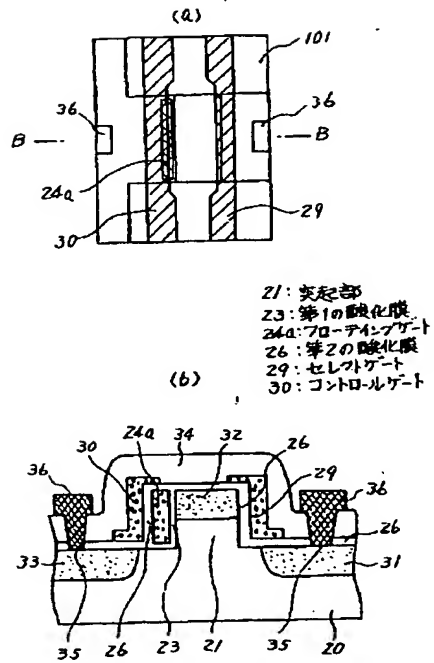
【図3】本発明の実施例を示す半導体装置の後半の製造工程断面図である。

【図4】従来の半導体装置の構成図である。

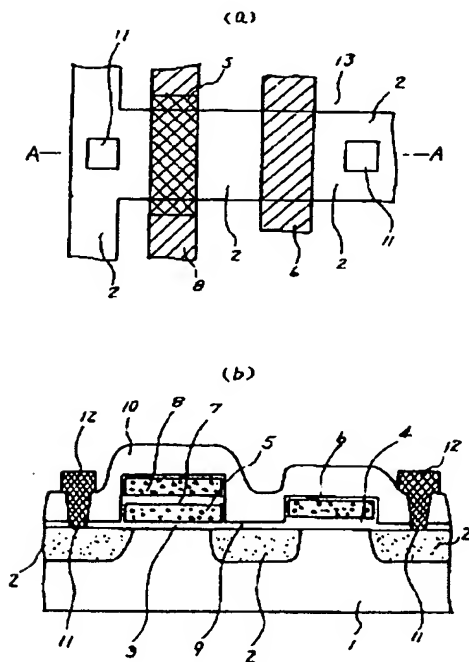
【符号の説明】

- 20 P型シリコン基板
- 21 突起部
- 22 突起部の側面
- 23, 26, 34 酸化膜
- 24 多結晶シリコン(第1の多結晶シリコン)
- 24a 多結晶シリコン(フローティングゲート)
- 25 ホトレジスト
- 27 多結晶シリコン(第2の多結晶シリコン)
- 28 ホトレジスト層
- 29 配線層(セレクトゲート)
- 30 配線層(コントロールゲート)
- 31, 32, 33 拡散層
- 35 電極引出し用コンタクトホール
- 36 金属配線

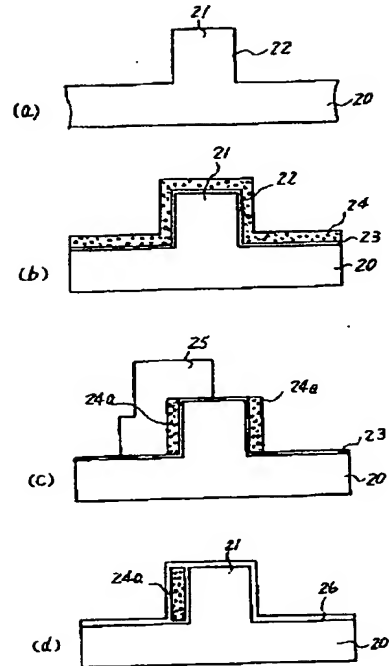
【図1】



【図4】



【図2】



【図3】

